

**مقدمه ای بر**

**FPGA**

Melec.ir

**مهدی ظهوریان  
تابستان ۱۳۹۱**

# روشهای پیاده سازی طرح های دیجیتال

۱- استفاده از مدارات مجتمع استاندارد (ASSP)

۲- استفاده از مدارات مجتمع با کاربرد خاص (ASIC)

Application Specific Integerated Circuit - کاهش ابعاد و حجم سیستم

- کاهش هزینه و افزایش قابلیت اطمینان سیستم

- افزایش اطمینان از اتصالات

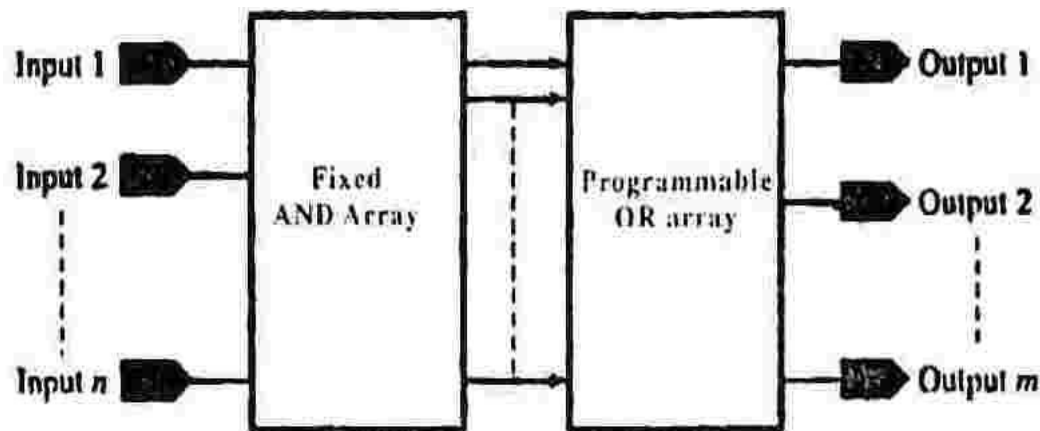
- کاهش مدت زمان طراحی و ساخت

- کاهش توان مصرفی، نویز و اغتشاش

۳- استفاده از قطعات منطقی برنامه پذیر (PLD)

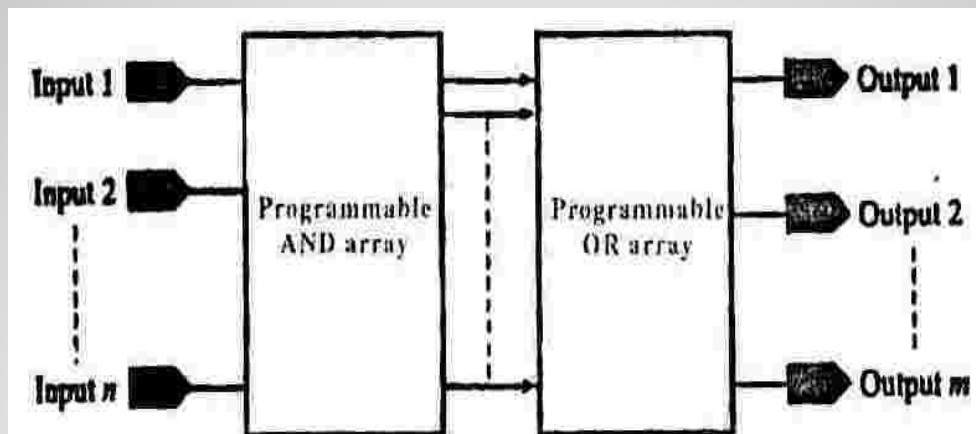
# PROM

آرایه AND ثابت - آرایه OR برنامه پذیر



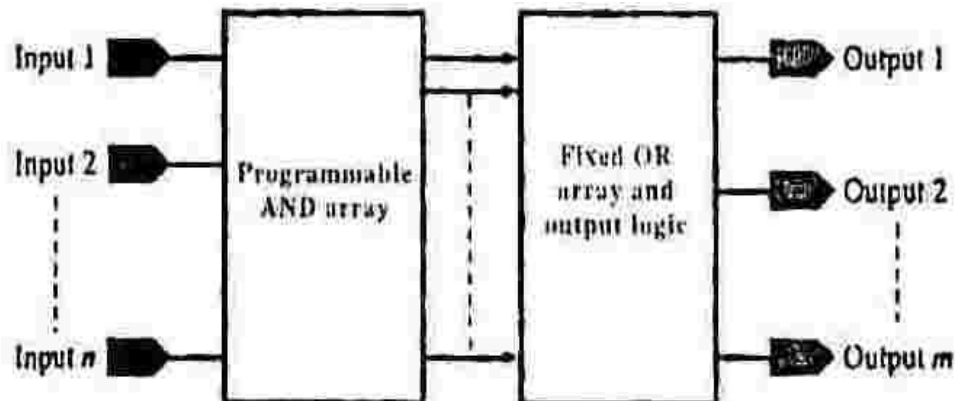
# PLA

آرایه AND برنامه پذیر - آرایه OR برنامه پذیر

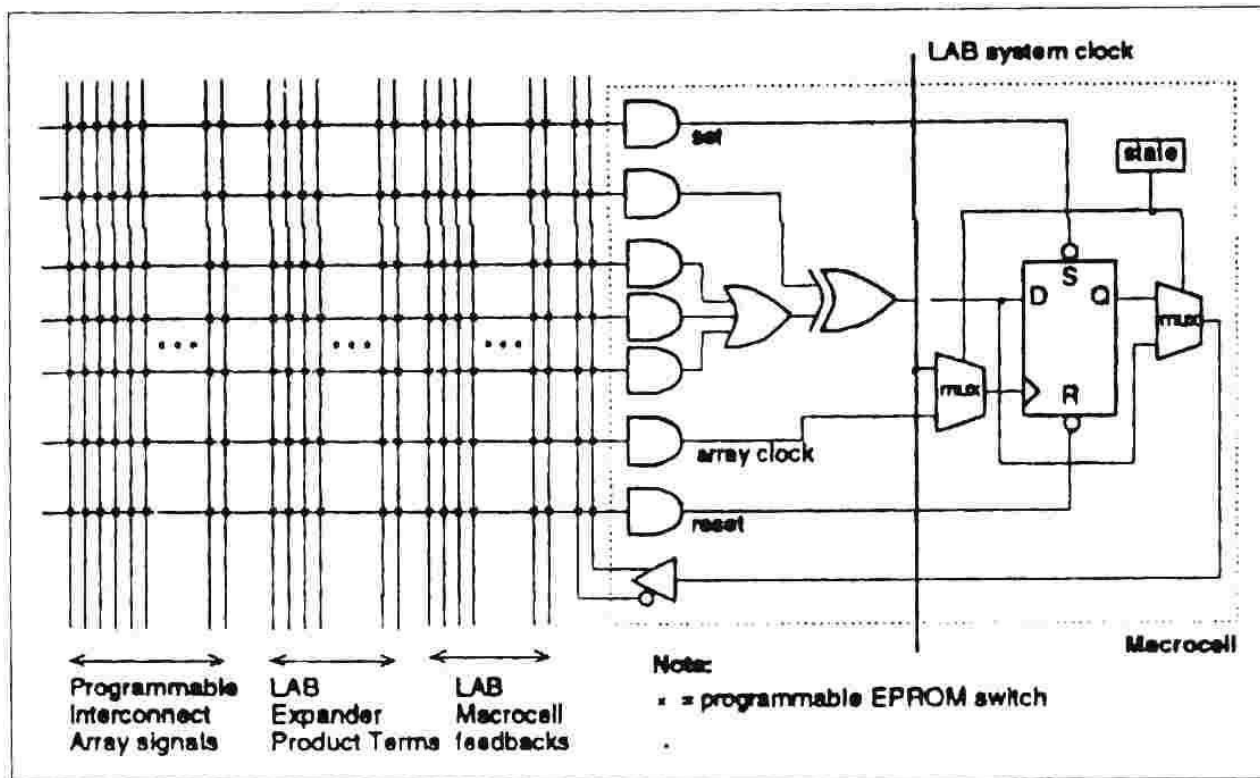


# PAL

آرایه AND برنامه پذیر - آرایه OR ثابت



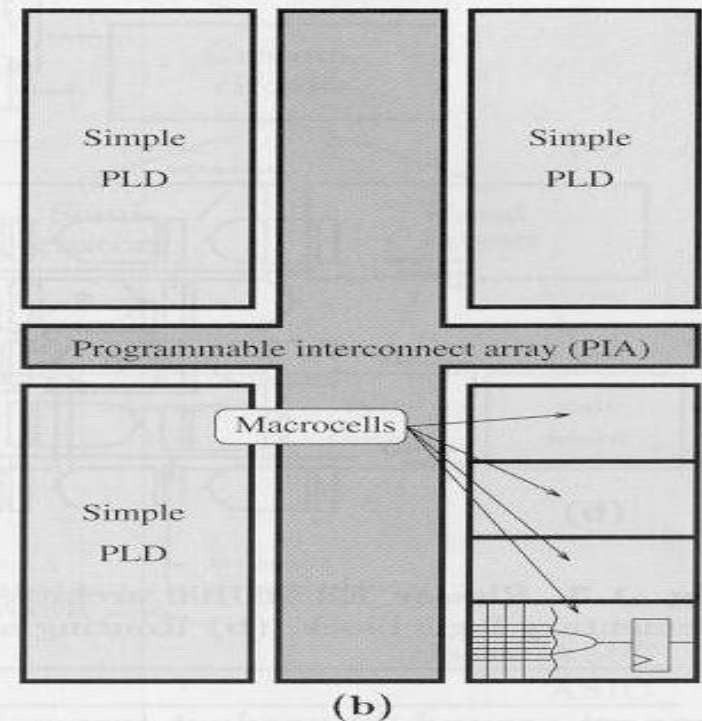
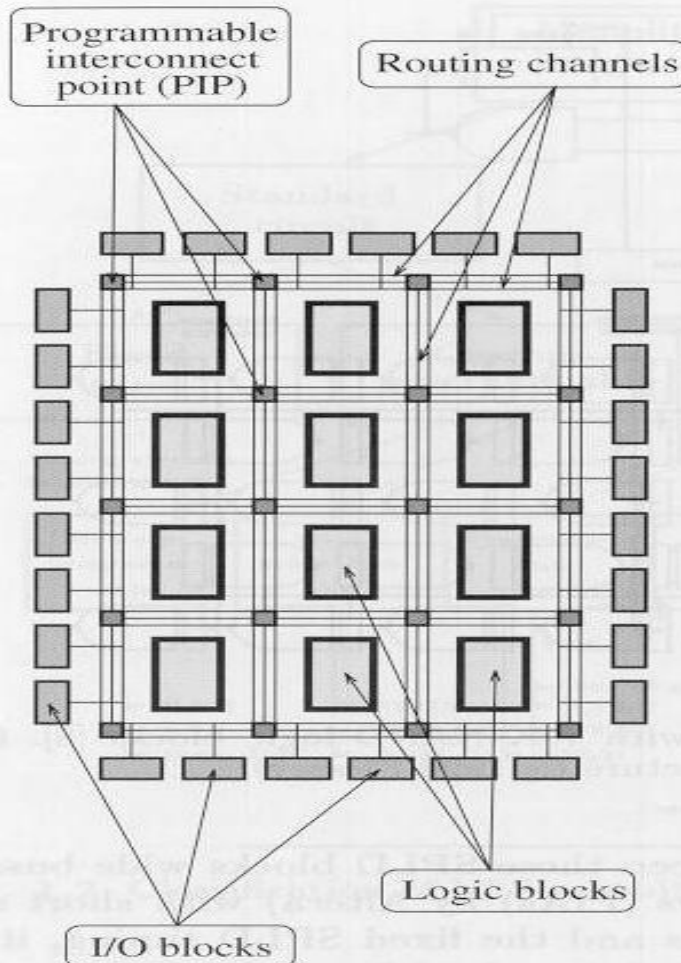
# Macrocells



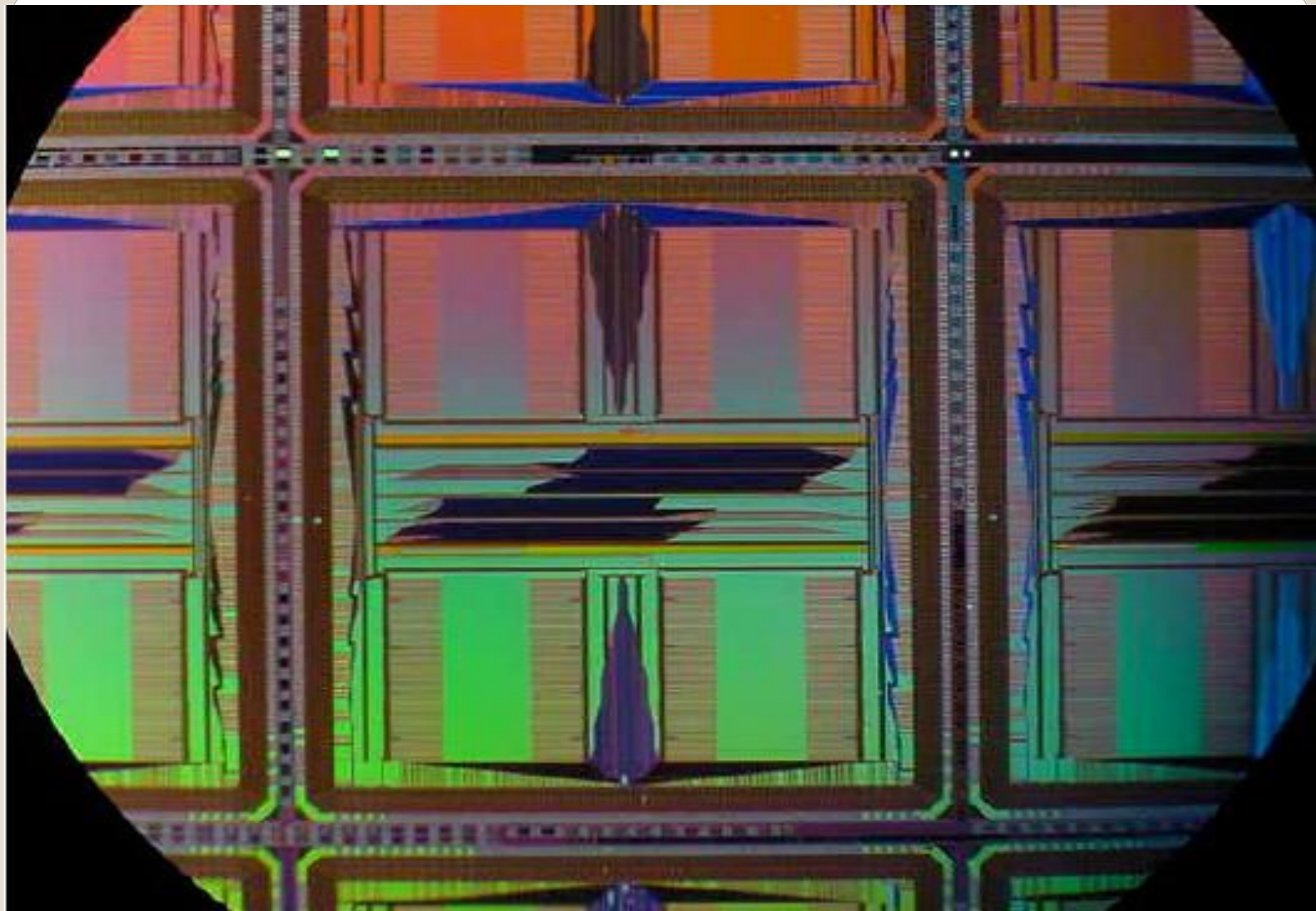
# SPLD

# CPLD & FPGA

Complex Programmable Logic Device  
Field Programmable Gate Array

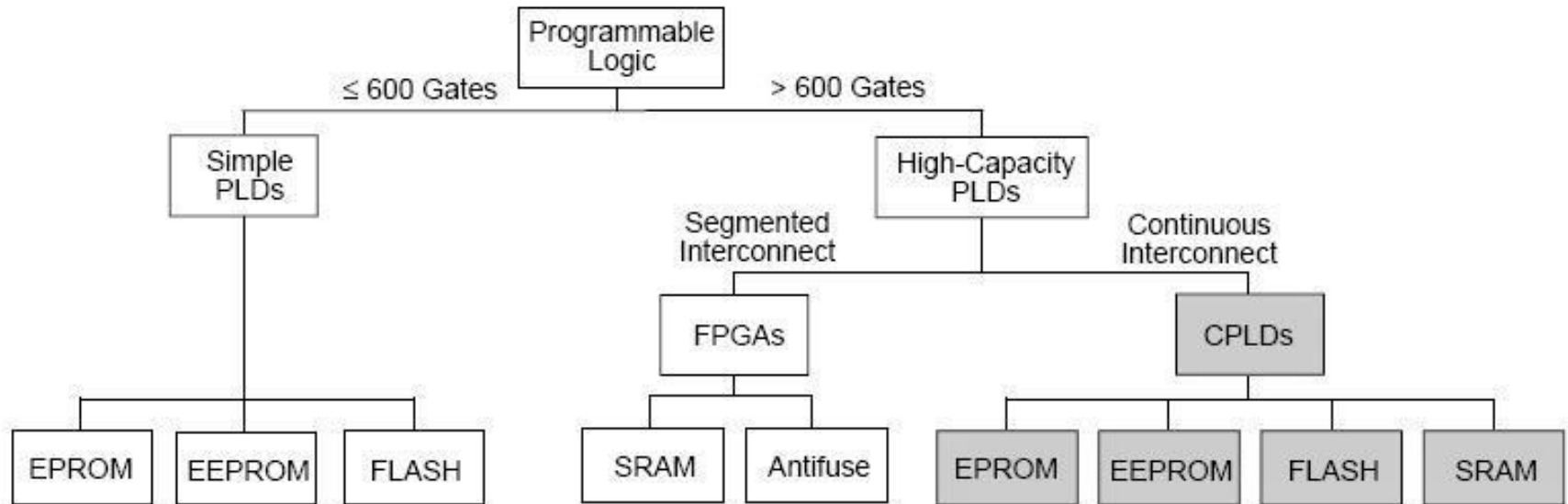






# تکنولوژی سوئیچ های برنامه پذیر

## Programmable Logic Market





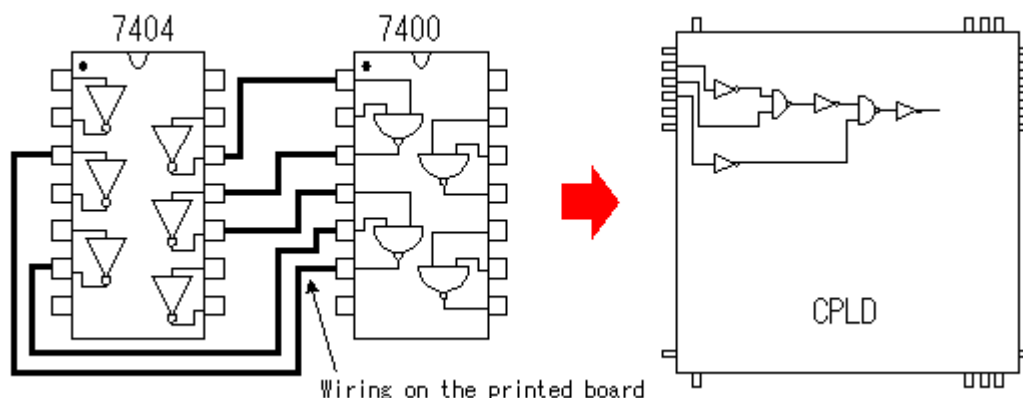
# روش های طراحی توسط ابزارهای FPGA

- استفاده از محیط گرافیکی

- استفاده از زبان های توصیف سخت افزاری (HDL)

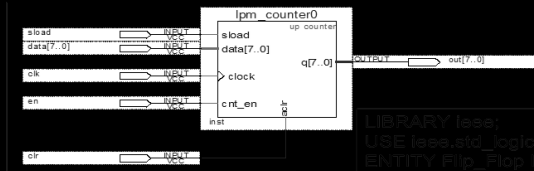
- استفاده از زبان های سطح بالا

Melec.ir



# روند طراحی در FPGA

## Design Flow



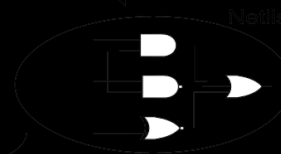
Schematic

```
LIBRARY ieee;  
USE ieee.std_logic_1164.ALL;  
ENTITY Flip_Flop IS  
    PORT(  
        a,b,clk : IN      STD_LOGIC;  
        q       : OUT     STD_LOGIC);  
END Flip_Flop;
```

VHDL Code

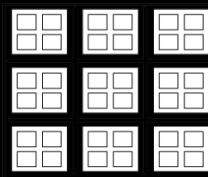
Synthesize

Netlist



Map, Place & Route

FPGA & CPLD



Generate Bit stream

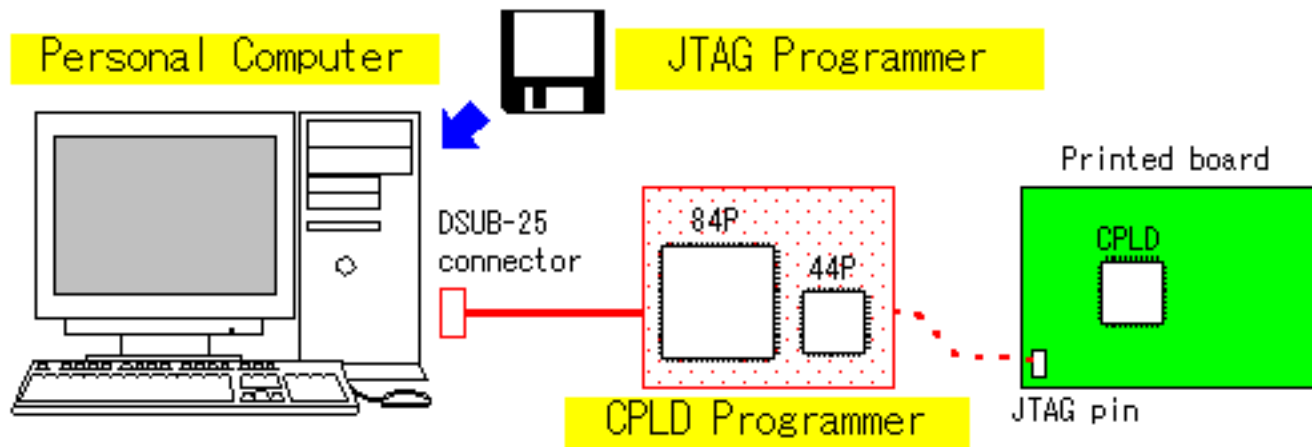
Bitstream

```
0110101010  
1011111110  
1101010101  
0101010101  
0101010101  
0110010110
```

Download and Test

FSK7001





## JTAG

**TMS(Test Mode Select):** This signal is decoded by the TAP controller to control test operations.

**TCK(Test Clock):**  
This clock drives the test logic for all devices on boundary-scan chain.

**TDI(Test Data In):**  
This signal is used to transmit serial test instructions and data.

**TDO(Read Data):**  
Read back data from the target system is read at this pin.

- **Cyclone™**
- **APEX™ II**
- **APEX 20K**
- **ACEX® 1K**
- **Classic™**
- **Excalibur™**
- **FLEX® 10K**
- **FLEX 6000**
- **FLEX 8000**
- **MAX® 3000**
- **MAX 7000**
- **MAX 9000**
- **Mercury™**
- **Packaging**
- **Stratix™**



***Table 3. User I/O Pins & Usable Gates of Altera Device Families***

<b>Device Family</b>	<b>User I/O Pins</b>	<b>Typical Usable Gates</b>
APEX 20K	250 to 780	263,000 to 2,670,000
FLEX 10K	59 to 470	10,000 to 250,000
FLEX 8000	68 to 208	2,500 to 16,000
FLEX 6000	71 to 218	16,000 to 24,000
MAX 9000	52 to 216	10,000 to 12,000
MAX 7000	36 to 212	600 to 10,000
MAX 5000	28 to 100	600 to 3,750
Classic	22 to 68	300 to 900

# **XILINX**

**XC4000**

**XC9500**

**SPARTAN**

**SPARTAN II**

**SPARTAN III**

**Virtex**

**Virtex II**

**Virtex III**

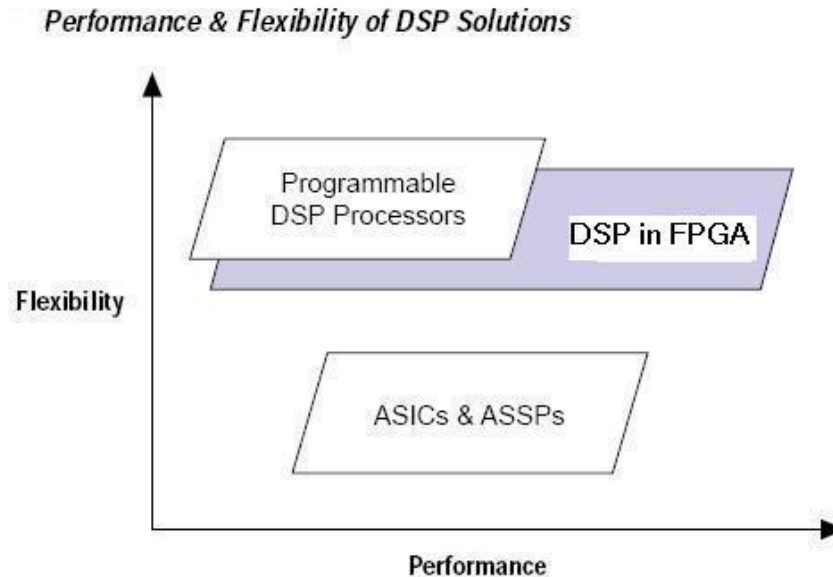
**Virtex IV**

**Virtex V**





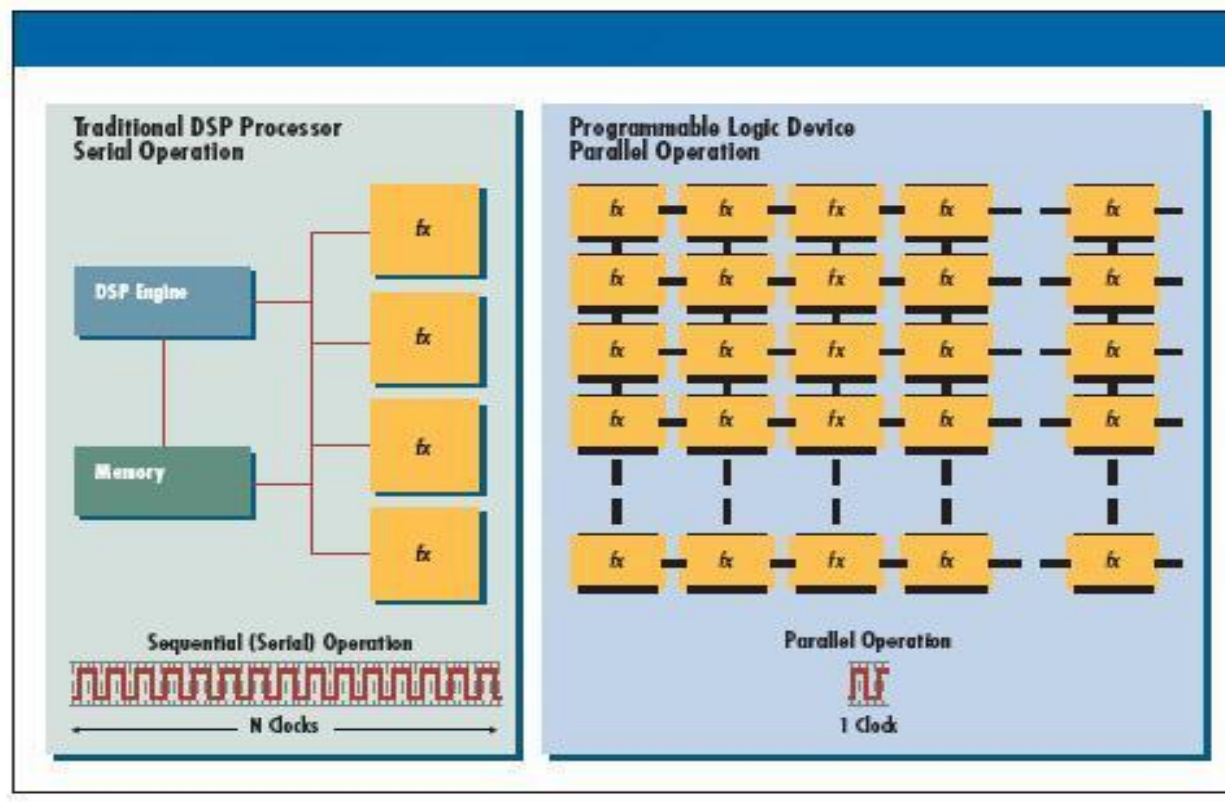
# کاربرد FPGA در پردازش سیگنال دیجیتال (DSP)



# پیاده سازی موازی

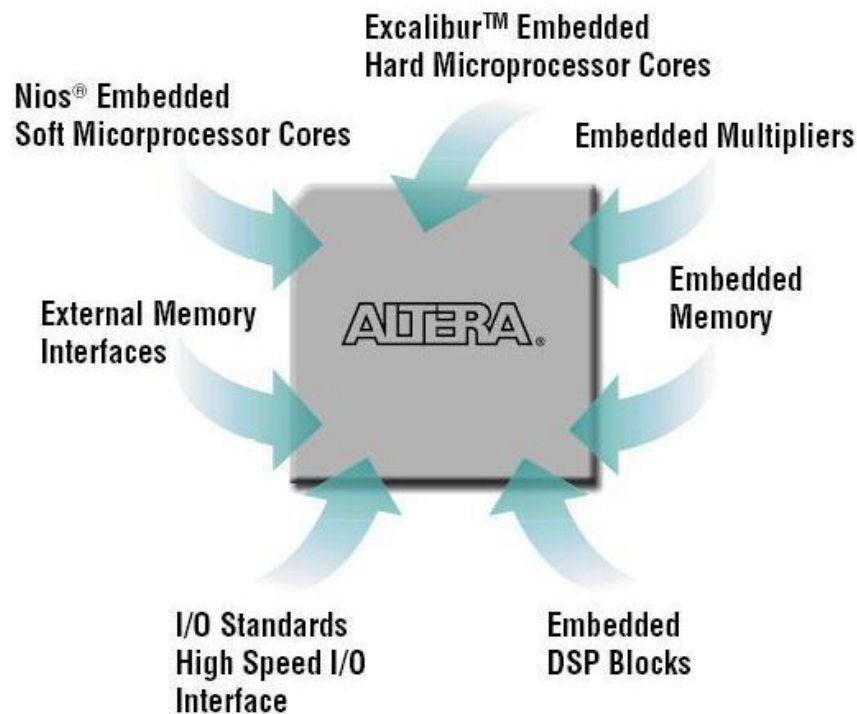
Stratix Device & DSP Processor Performance Comparison

Requirement	Stratix Device (EP1S120)	TI 320C64x Device (1)
Number of Taps	224	224
Number Of Multipliers	224 (28 DSP Blocks)	Maximum of 8
Internal Clock Speed	250 MHz	600 MHz
Clock Cycles Needed to Compute the Result	1	28
GMACs per second	56 GMACs	4.8 GMACs



# System On Chip

## بلوک های تعبیه شده در FPGA



- بلوک های DSP
- بلوک های حافظه
- پروسسور های سخت افزاری
- هسته های نرم افزاری

مرجع:

[www.Xilinx.com](http://www.Xilinx.com)